

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-71573

(P2001-71573A)

(43) 公開日 平成13年3月21日 (2001.3.21)

(51) Int.Cl.⁷

識別記号

F I

データベース* (参考)

B 4 1 J 5/30

B 4 1 J 5/30

Z 2 C 0 8 7

G 0 6 F 3/12

C 0 6 F 3/12

B 5 B 0 2 1

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号

特願平11-254262

(22) 出願日

平成11年9月8日 (1999.9.8)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 鬼塚 康如

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100076428

弁理士 大塚 康徳 (外2名)

Fターム(参考) 2C087 AA02 AA03 AB05 AC02 AC07

BA02 BA03 BC02 BD41

5B021 AA01 AA05 AA08 BB11 BB12

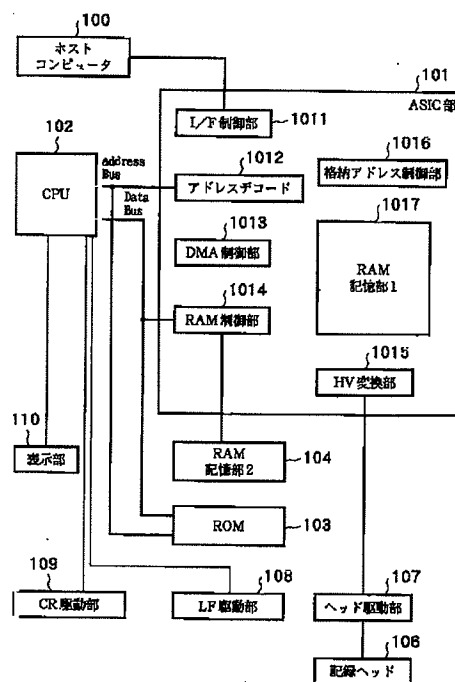
DD11

(54) 【発明の名称】 記録装置

(57) 【要約】

【課題】 内部のデータ転送を効率的に行うことのできる記録装置を提供する。

【解決手段】 イメージデータを格納するためのRAM 104と、それ以外のデータを格納するためのRAM 1017との2つのメモリと、イメージデータの格納および読み出しを制御するRAM制御部1014と、DMAによってイメージデータの格納および記録ヘッド106への転送を制御するDMA制御部1013とを設け、CPU 102がROM 103やRAM 1017にアクセスしている間にも、イメージデータの格納および読み出しを可能とする。



【特許請求の範囲】

【請求項1】 外部機器から送信された情報に基づいて、記録ヘッドによって記録媒体上に記録を行う記録装置であって、

装置全体を制御するCPUと、

前記外部機器から送信された情報を一時的に格納すると共に、前記CPUのワークエリアおよびスタックエリアとして使用される領域を有する第1の記憶部と、

前記記録ヘッドによって記録すべきイメージデータを一時的に格納する第2の記憶部と、

前記第2の記憶部へのイメージデータの格納および読み出しを制御する記憶制御手段と、

前記イメージデータを前記記憶制御手段を介して前記記録ヘッドに転送して、記録動作を制御する制御手段とを備えており、

前記記憶制御手段は、前記CPUが前記第1の記憶部にアクセスしている間にも、前記イメージデータの格納および読み出しが可能ないように構成されていることを特徴とする記録装置。

【請求項2】 前記記憶制御手段は、DMAによって前記イメージデータの格納および読み出しを行うDMA制御手段を含むことを特徴とする請求項1に記載の記録装置。

【請求項3】 前記第1の記憶部と前記第2の記憶部とがそれぞれ別個の記憶装置によって構成されていることを特徴とする請求項1または2に記載の記録装置。

【請求項4】 前記記録ヘッドが所定方向に配列された複数の記録素子を有しており、前記記録ヘッドを前記所定の方向と略直交する方向に移動走査させて前記記録媒体上に記録を行うことを特徴とする請求項1から3のいずれか1項に記載の記録装置。

【請求項5】 前記外部機器から送信される情報がラスタイメージデータを含んでいるとき、前記記憶制御手段は、前記ラスタイメージデータを前記記録素子の数に対応するオフセット値を使用して並べ替えて前記第2の記憶部に格納することを特徴とする請求項4に記載の記録装置。

【請求項6】 前記第2の記憶部に格納されたデータを前記記録ヘッドに送信する際に、前記記録素子の数に対応したカラムイメージデータに変換して送信することを特徴とする請求項5に記載の記録装置。

【請求項7】 前記第2の記憶部から前記記録ヘッドへの送信は、前記記録ヘッドの1回の走査に対応するデータ量毎に行われることを特徴とする請求項6に記載の記録装置。

【請求項8】 前記記録ヘッドは、インクを吐出して記録を行うインクジェット記録ヘッドであることを特徴とする請求項1から7のいずれか1項に記載の記録装置。

【請求項9】 前記記録ヘッドは、熱エネルギーを利用してインクを吐出する記録ヘッドであって、インクに与

える熱エネルギーを発生するための熱エネルギー変換体を備えていることを特徴とする請求項8に記載の記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記録装置に関し、特に、外部機器から送信された情報に基づいて、記録ヘッドによって記録媒体上に記録を行う記録装置に関するものである。

【0002】

【従来の技術】例えばワードプロセッサ、パーソナルコンピュータ、ファクシミリ等における情報出力装置として、所望される文字や画像等の情報を用紙やフィルム等シート状の記録媒体に記録を行う記録装置において、用紙等の記録媒体の送り方向と直角な方向に往復走査しながら記録を行なうシリアル記録方式が安価で小型化が容易などの点から一般的に広く用いられている。

【0003】このような記録装置では、ホストコンピュータから送信された制御コマンドおよび記録データは、一旦受信バッファと呼ばれる記憶部(RAM)に順次格納される。そして、受信バッファから順次読み出されてデータの解析が行なわれ、制御コマンドであれば、そのコマンドに従い記録装置にかかわる制御や記録データの設定を行ない、記録データであればプリントバッファと呼ばれる記憶部に記録ヘッドの構成に合わせた形式で順次格納される。

【0004】近年このような記録装置の解像度は、300dpi、360dpi、600dpiと高密度化する傾向にある。解像度を増やすとデータ量が増大するが、記録時間が長くならないように、記録ヘッドの記録素子(ノズル)数を64個や128個等に増やした構成とし、1回の走査で記録できる領域を増やして記録速度を上昇させる傾向にある。

【0005】ホストコンピュータから記録装置に送信される記録データとして、キャラクタ等を示すコードデータと、グラフィック等を示すイメージデータがある。キャラクタコードを受信すると、記録装置内部でフォントデータに展開しドットデータに変換して記録ヘッドに転送して記録を行う。一方、ホストコンピュータから記録装置に送信されるイメージデータの種類として、縦方向のイメージデータと横方向つまりラスタ方向のイメージデータがある。さまざまな構成の記録ヘッドへの対応が可能であるため、ラスタイメージデータの方が汎用性も高く、自然画像等の記録の時にはこれを用いることが多い。

【0006】ラスタデータを受信バッファからプリントバッファに格納するときは、一般的に走査方向と略直交する方向に配列されている記録ヘッドの記録素子の配列方向に対応したデータに変換すべく、縦横変換(HV変換)を行っており、記録装置内部でのデータ処理が必要

である。

【0007】このような従来の記録装置の代表的構成を、図1のブロック図を参照して説明する。

【0008】100は記録装置へデータを送るホストコンピュータ、102はこの装置における処理を制御するCPU、101はホストコンピュータ等の外部機器との間で通信制御を行いホストコンピュータより送られてくる記録データを受信するインターフェイス制御部1011、アドレスデータをデコードするアドレスデコード部1012、DMAを発生させるための制御を行うDMA制御部1013、外部RAMを制御するRAM制御部1014およびHV変換を行うHV変換部1015からなるASICである。

【0009】使用するメモリとしては、ROM103およびRAM104があり、103はCPU102の制御プログラムや文字フォント等各種データを格納するROMであり、104は受信バッファおよびプリントバッファとして使用されると共に、CPUで設定されるさまざまな制御データを格納するためのワークエリア、スタックポイントに割り当てられた領域を含むRAMである。

【0010】記録に関する駆動構成として、キャリッジモータドライバおよびキャリッジモータからなるCR駆動部109と、紙送りモータドライバおよび紙送りモータからなるLF駆動部108とがあり、CPU102からそれぞれのドライバに供給された制御信号に従って、記録ヘッドの走査と該走査方向に直交する方向への記録媒体の搬送をそれぞれ制御する。

【0011】また、107はCPU102から供給された制御信号に従って、RAM104に格納された記録データを記録ヘッドに転送するヘッド駆動部であり、110は装置の状態や記録に関する情報等を表示する表示部である。

【0012】本従来例では、ROM103と外部RAM104とは、異なったアドレスバスおよびデータバスが接続されている。すなわち、CPUからのアドレスバスおよびデータバスはROM103とASIC101に接続されており、外部RAM104のデータバスおよびアドレスバスはASIC101に接続されている。

【0013】CPU102からRAM104にアクセスする場合、ASIC101内部のアドレスデコード1012でCPU102のアクセスするアドレスがRAM104のアドレスに変換され、ASIC101とRAM104に接続されているアドレスバスに出力される。CPU102からRAM104に書き込まれるデータは、CPU102のデータバスを介して一旦ASIC101内に取り込まれ、ASIC101とRAM104に接続されているデータバスに出力される。またRAM104からCPU102に読み込まれるデータは、RAM104とASIC101に接続されているデータバスを介してASIC101内に取り込まれ、CPU102のデータ

バスに出力される。

【0014】このような構成とすると、CPU102が命令コードをROM103から読み込んでいる間に、RAM104に対してDMA転送を行うことが可能となる。つまりCPU102をHOLDさせることなく、RAM104のDMAを可能とすることができるという利点がある。

【0015】これは記録装置のように頻繁にイメージデータをRAMに格納したり、あるいはRAMから読み出すようなシステムでは、パフォーマンスの向上に大きく寄与している。とりわけ、解像度の向上に伴ってデータ量が増大する傾向においては、イメージデータをCPUを介さずDMA転送により高速に処理することができるので有利である。

【0016】図2は縦8ビット、横nバイトのラスタイメージデータの構成を示す図である。図中a1, a2, a3, ..., hnは、それぞれ1バイトのデータであり、ホストコンピュータから記録装置に、a1, a2, ..., an, b1, b2, ..., bn, c1, c2, ..., cn, ..., h1, h2, ..., hnのような順番でシリアルに送られてくる。

【0017】ここでnは、記録されるイメージデータのラスタ方向の画素数であり、記録される用紙のサイズにより異なる。

【0018】次に従来例におけるラスタデータの処理を、図3および図4を参照して説明する。

【0019】図3は、ホストコンピュータから送信されたラスタイメージデータを格納する受信バッファと、ワークバッファを示している。ホストコンピュータから送信された縦8ビット、横nバイトのラスタイメージデータは、受信順に図3の受信バッファ301に格納される。#adr+1~#adr+8nは、バッファのアドレスを示す。

【0020】受信バッファ301のデータ順は、ラスタ方向に沿ってそのまま格納されているため、記録ヘッドの構成に合わせ、ノズルの配列されている縦方向の順にデータの並び変えを行い、a1, b1, c1, d1, e1, f1, g1, h1, a2, b2, ..., hnの順にワークバッファ302に再度格納する。

【0021】図4は、HV変換を説明するための図である。図4(a)は、ワークバッファ302の詳細を示しており、a18, a17, a16, a15, a14, a13, a12, a11は、データa1内のそれぞれのビットを示している。図示されているように、ワークバッファ内の記録データは、各バイト毎にラスタ方向に並べられており、このままでは記録ヘッドのノズル構成に対応していない。

【0022】従って、記録ヘッドのノズル構成に合わせるためHV変換を行わなければならない。ここでは8ビット×8ビットのマトリクスを用い図4(b)のような

順番に並び替えを行って記録ヘッドのノズル構成に対応したデータとし、プリントバッファに格納する。

【0023】

【発明が解決しようとする課題】上記従来例のように、RAMとCPUとのバスが直接接続されておらず、ASICのようなI/Oデバイスを介してアクセスを行う場合、RAM内に受信バッファ、記録バッファ、CPUのスタック、CPUの制御を行うために必要なワークバッファを設ける構成とすると、RAMに対してCPUがアクセスしている間は、RAMとI/OデバイスとのDMA転送が中断される。

【0024】例えば、CPUがスタックポインタをアクセスしている間、あるいはCPUがワークバッファをアクセスしている間は、CPUのアクセスを優先させる必要があるため、このバスサイクルの間はDMA転送を一旦中断しなければならない。

【0025】これは、DMAアクセスがあまり多くないシステムにおいては、パフォーマンスにあまり影響しないが、上記従来例のように、DMAアクセスが非常に頻繁に発生する記録装置では、パフォーマンスの低下を招く。更にCPUのバスアクセスを恒に監視する必要があるため、ASIC内の制御回路が複雑になってしまう。

【0026】上記従来例に示すような一般的な記録装置においては、記録ヘッド内の記録素子（ノズル）の配列は走査方向と略直交する方向であり、ラストイメージデータが入力された場合、記録ヘッドの構成に合わせたデータとするために、バッファへのコピー等の処理が増大し、更にHV変換を行う必要があるため、記録データ作成のための処理時間が大幅に増え、ソフトウェアの処理も繁雑となる。この結果、記録装置全体でのスループットが低下する。

【0027】本発明は以上のような状況を鑑みてなされたものであり、内部のデータ転送を効率的に行うことのできる記録装置を提供することを目的とする。

【0028】

【課題を解決するための手段】上記目的を達成するために本発明の記録装置は、外部機器から送信された情報に基づいて、記録ヘッドによって記録媒体上に記録を行う記録装置であって、装置全体を制御するCPUと、前記外部機器から送信された情報を一時的に格納すると共に、前記CPUのワークエリアおよびスタックエリアとして使用される領域を有する第1の記憶部と、前記記録ヘッドによって記録すべきイメージデータを一時的に格納する第2の記憶部と、前記第2の記憶部へのイメージデータの格納および読み出しを制御する記憶制御手段と、前記イメージデータを前記記憶制御手段を介して前記記録ヘッドに転送して、記録動作を制御する制御手段とを備えており、前記記憶制御手段は、前記CPUが前記第1の記憶部にアクセスしている間にも、前記イメー

ジデータの格納および読み出しが可能なように構成されている。

【0029】すなわち、イメージデータを格納するための記憶部と、それ以外のデータを格納するための記憶部との2つの記憶部と、イメージデータの格納および読み出しを制御する記憶制御手段と、イメージデータを記憶制御手段を介して記録ヘッドに転送して、記録動作を制御する制御手段とを設け、CPUがROMやイメージデータ以外のデータを格納する記憶部にアクセスしている間にも、記憶制御手段によって、イメージデータの格納および読み出しを可能とするものである。

【0030】これにより、CPUによるアクセスとは無関係にイメージデータの格納および読み出しができ、全体の処理時間が短縮できるので、記録装置全体の処理性能を向上させることができる。

【0031】

【発明の実施の形態】以下添付図面を参照して本発明の好適な実施形態について詳細に説明する。

【0032】図13は、本発明の代表的な実施の形態であるインクジェット記録装置IJRAの構成の概要を示す外観斜視図である。図13において、駆動モータ5013の正逆回転に連動して駆動力伝達ギア5009～5011を介して回転するリードスクリュー5005の螺旋溝5004に対して係合するキャリッジHCはピン（不図示）を有し、ガイドレール5003に支持されて矢印a、b方向を往復移動する。キャリッジHCには、記録ヘッド106とインクタンクITとを内蔵した一体型インクジェットカートリッジIJCが搭載されている。

【0033】5002は紙押え板であり、キャリッジHCの移動方向に互って記録用紙Pをプラテン5000に対して押圧する。5007、5008はフォトカプラで、キャリッジのレバー5006のこの域での存在を確認して、モータ5013の回転方向切り換え等を行うためのホームポジション検知器である。

【0034】5016は記録ヘッド106の前面をキャップするキャップ部材5022を支持する部材で、5015はこのキャップ内を吸引する吸引器で、キャップ内開口5023を介して記録ヘッドの吸引回復を行う。5017はクリーニングブレードで、5019はこのブレードを前後方向に移動可能にする部材であり、本体支持板5018にこれらが支持されている。ブレードは、この形態でなく周知のクリーニングブレードが本例に適用できることは言うまでもない。

【0035】又、5021は、吸引回復の吸引を開始するためのレバーで、キャリッジと係合するカム5020の移動に伴って移動し、駆動モータからの駆動力がクラッチ切り換え等の公知の伝達機構で移動制御される。

【0036】これらのキャッピング、クリーニング、吸引回復は、キャリッジがホームポジション側の領域に來

た時にリードスクリー5005の作用によってそれらの対応位置で所望の処理が行えるように構成されているが、周知のタイミングで所望の動作を行うようにすれば、本例にはいずれも適用できる。

【0037】なお、上述のように、インクタンクITと記録ヘッド106とは一体的に形成されて交換可能なインクカートリッジIJCを構成しても良いが、これらインクタンクITと記録ヘッド106とを分離可能に構成して、インクがなくなったときにインクタンクITだけを交換できるようにしても良い。

【0038】図14は、インクタンクとヘッドとが分離可能なインクカートリッジIJCの構成を示す外観斜視図である。インクカートリッジIJCは、図14に示すように、境界線Kの位置でインクタンクITと記録ヘッド106とが分離可能である。インクカートリッジIJCにはこれがキャリッジHCに搭載されたときには、キャリッジHC側から供給される電気信号を受け取るための電極（不図示）が設けられており、この電気信号によって、前述のように記録ヘッド106が駆動されてインクが吐出される。

【0039】なお、図14において、500はインク吐出口列である。また、インクタンクITにはインクを保持するために繊維質状もしくは多孔質状のインク吸収体が設けられており、そのインク吸収体によってインクが保持される。

【0040】図10は本実施形態の記録装置の制御構成を示すブロック図である。図10において、図1の従来の装置のブロック図で示したものと同様な構成要素は同じ符号で示している。以下においては、従来例と異なる部分を中心に説明する。

【0041】101はこの記録装置における制御をハードウェアにより実現しているASIC部であり、通信制御を行いホストコンピュータより送られてくる記録データを受信するインターフェイス制御部1011、アドレスデータをデコードするアドレスデコード部1012、DMAを発生させるための制御を行うDMA制御部1013、外部のRAM104を制御するRAM制御部1014およびHV変換を行うHV変換部1015に加え、CPUのスタックエリア、CPUの制御を行うために必要なデータを一時保存するためのワークエリア、ホストコンピュータからの受信データを格納する受信バッファのためのRAM1017と、このRAMに格納するアドレスを制御するアドレス制御部1016とを合んでいる。

【0042】ここではASIC101がRAM1017を内蔵するように構成しているが、もちろん外部に持つ構成でも構わない。ASIC部の制御については後述する。

【0043】104は記録ヘッドに送る記録データを格納するためのRAMでホストコンピュータからのラス

データ、カラム変換後のデータが格納される。このRAM104への書き込み、読み出しは全てCPU102を介することなくDMAにより行なわれる。

【0044】このように本実施形態においては、ASIC101に内蔵されたRAM1017と、外部のRAM104との異なるアドレス空間を有する2つの記憶部を備えている。更に、それぞれの記憶部に対して、読み込みおよび書き込みの制御信号を別々にしている。

【0045】CPU102からRAM1017およびRAM104に書き込み動作または読み込み動作を行う場合、ASIC101内のアドレスデコード1012でアドレスがデコードされ、それぞれのRAMに割り当てられたアドレスの制御信号を活性化する。ここでRAM104は、記録ヘッドに転送するための記録データを格納するプリントバッファとして動作し、この記録データの書き込みおよび読み出しに際してはCPU102から直接アクセスをすることなくDMA転送により実現している。

【0046】すなわち、RAM104は常にDMA動作を基本としており、このためCPU102がROM103からの命令コードの読み込みサイクル、あるいはRAM1017に対するデータの書き込みおよび読み込みサイクルを行っている間にも、記録データの入出力動作を行える。従って、複雑な回路を組み込んだり複雑な制御をすることなく、データ入出力に関するパフォーマンスを向上させることが出来る。

【0047】図12は本実施形態におけるDMAのタイミングチャートである。図中期間Aは、CPU102がROM103にアクセスしているタイミングであり、期間Bは、CPU102がRAM1017にアクセスしているタイミングである。期間Aにおいて、RAM1017に対してCPU102のバスタイミングに合わせてDMAを行なうことが可能である。一方期間Bにおいては、同時にDMAを行うことはできないので、RAM1017に対してのDMA要求は待たされる。

【0048】この図からも明らかなように、RAM104へのCPU102からのアクセスは発生しない。従って、図示されたようにCPU102のアクセスタイミングとは関係なく、RAM104はDMA転送が常に可能となる。このようなDMAを利用したデータ転送は、特にイメージデータ等のデータ量が膨大なデータを扱う場合に重要となる。本実施形態ではRAM104でイメージデータのみを扱うようにしてCPU102の処理と切り離れたデータ転送を可能とし、連続してRAM104の最大転送速度でのデータ転送を行わせることが可能である。

【0049】次に、図5を参照して本実施形態における受信データ格納方法について述べる。ここでは受信するラスタイメージデータとして、図2に示した形式のデータを想定している。ホストコンピュータから、a1, a

2, a3, a4, ..., an, b1, b2, b3, ..., bn, ..., h1, ..., hnの順にASIC101内部のRAM1017に一旦格納されたラスタデータは、縦8ビット毎のHV変換を行うことを前提に、図5に示す形式でプリントバッファであるRAM104に格納される。すなわち、格納アドレスを8アドレスおきに入力データを格納し、ラスタ方向のバイト数を格納し終えた後、再び格納アドレスを先頭アドレスに設定し直し縦ビット数を加算し、そのアドレスを格納アドレスとして再び8アドレスおきに格納する。以上のような処理を繰り返して、プリントバッファとして使用するRAM104に格納する。

【0050】プリントバッファであるRAM104に格納されたデータは、図4に示したHV変換を行って記録ヘッドに転送される。このようにプリントバッファに格納する際に、既に記録ヘッドの構成を考慮した形式に変換したアドレスで格納しているため、実際に記録ヘッドに転送する指示を受けたときにプリントバッファをあらためて作り直す必要がない。更に、記録ヘッドにデータを転送するとき、HV変換を行うようにすることができ、ソフトウェアの処理が軽減される。

【0051】以下、図11を参照してASIC101の内部の処理について説明する。インタフェース制御部1011は、ホストコンピュータ100からの制御信号の解析、データを受信しRAM1017に格納するためのDMA要求の発生、およびCPU102に対してデータ受信があったことを知らせる。DMA要求が発生した場合、DMA要求信号と共に、DMA格納アドレス、格納データ（この場合受信データ）がDMA制御部1013へ送られる。

【0052】アドレスデコード部1012にはCPU102のアドレスバスが接続されており、予め割り当てられているアドレスをデコードしてどのデバイスに対してのアクセスなのかを判別して、ASIC内のレジスタまたはRAM制御部1014へ送る。

【0053】ここでASIC内のレジスタについては特に言及しないが、ASIC101内のそれぞれのブロックにおいて必要な設定を行なうためCPU102からの情報を蓄えておくものである。

【0054】DMA制御部1013は、ASIC101内部のRAM1017または外部のRAM104に対してDMA転送を行なうための制御を行うものであり、CPU102からのDMA設定を受けてASIC101内の各ブロックで発生するDMA要求に従い、DMA転送アドレス、DMA転送データ、書き込み、読み込みの制御のためのWRITE信号またはREAD信号を、RAM制御部1014へ出力する。

【0055】RAM制御部1014は、DMA制御部1013からのアドレス、データ、WRITE信号、READ信号を、RAMのタイミングに合わせて内部のRAM101

7、または外部のRAM104に出力する。また、CPU102からのRAM1017への書き込み、読み込み動作の制御も同様に行なう。

【0056】RAM1017は、上記で述べたように、CPU102からアクセスされるデータ、またはホストコンピュータ100からの受信データを一時的に格納するためのメモリーである。

【0057】格納アドレス制御部1016は、ホストコンピュータ100からのラスタイメージデータを後述のHV変換部1015で行うデータ処理を容易にするため、ラスタイメージデータの格納先を設定するためのものであり、RAM1017からRAM104にDMAで上記図5に関して説明したように、格納アドレスを変換しながらデータを転送する。更に、格納アドレス制御部1016で扱うDMAは、RAM1017からの読み出しDMAと、RAM104への書き込みDMAがあり、それぞれについてDMA要求、DMAアドレス、DMA WRITEデータ、DMAREADデータがある。このアドレス制御部1016については、HV変換部1015と共に後で詳細に説明する。

【0058】HV変換部1015は、前述の格納アドレス制御部1016によりRAM104に格納されたラスタイメージデータをDMAにより読み出し、記録ヘッド106の吐出タイミングに合わせ、ラスタからカラムへのHV変換を行ない、ヘッド駆動部107に記録データを出力する。

【0059】次に本実施形態におけるデータ受信から記録までの動作を、図10および図11を参照して説明する。始めにホストコンピュータ100から記録装置に送られたデータは、ASIC101のインターフェイス制御部1011に入力され、RAM1017内部の予め設定された受信データ格納アドレスに、DMAにより格納される。この時DMA制御部1013には、インターフェイス制御部1011からのDMA要求により、アドレス、データ、WRITE信号が送られる。

【0060】RAM制御部1014では、CPU102がRAM1017をアクセスしている場合は、アクセス終了までDMA転送を待たされ、CPU102がROM104をアクセスをするタイミングでDMA転送が行なわれる。RAM1017に格納された受信データは、CPU102からの命令に沿って読み込まれ、ROM103に格納してあるプログラムにそってCPU102によりコマンドの解析が行われる。コマンド解析の結果、次のデータがラスタイメージデータであると判定されると、RAM1017から格納アドレス制御部1016にデータが渡され、ここからRAM104の格納アドレスにDMA転送される。

【0061】このときのDMA転送は、CPU102からRAM1017への読み込みアクセス、インタフェース制御部1011からの受信バッファ書き込みDMAが

発生していない時に行なわれる。このようにしてRAM 104に格納されたラスタイメージデータは、記録ヘッドに転送される前にカラム変換を行なうため、ASIC 101のHV変換部1015へDMA転送される。

【0062】記録ヘッドのノズル数×ラスタ方向の画素数に対応するデータがプリントバッファであるRAM 104に格納された時点でCR駆動部109をドライブし、HV変換部1015にRAM 104から記録データが転送され、縦横変換が行われヘッド駆動部107に記録データが転送される。

【0063】このときのRAM 104からHV変換部1015へのDMA転送は、CPU 102のいかなるアクセスとも関係なく行なうことが可能である。これは、CPU 102がアクセスするのはROM 103またはRAM 1017であるので、CPU 102の動作とは切り離されているためである。CPU側から見ると、RAM 103がデータ転送を行っている間でも、ROM 103からの命令コードの読み込みおよびRAM 1017へのアクセスが可能であるため、CPU 102がHOLD状態で待たされることがなくなり効率的である。

【0064】以上のようにして1ページ分の記録が終了した後、LF駆動部108によって記録された用紙を排出して、次のページの記録データがある場合には処理を繰り返す。全てのデータが記録されると記録動作を終了し、ホストコンピュータ100からデータが送信されるまで、待機状態となる。

【0065】次に、ASIC 101の格納アドレス制御部1016とHV変換部1015の動作について、図6から図9を参照して詳細に説明する。ここでは、記録ヘッド106が、走査方向と略直交する方向に1列に配置された64個のノズルを有する場合を例に説明する。

【0066】図6は格納アドレス制御部1016の構成を示すブロック図であり、図7はホストコンピュータから送信されるラスタイメージデータの例を示している。また、図8はプリントバッファへのデータ格納方法を示し、図9はHV変換部1015の構成を示している。

【0067】図7に示すような、ラスタ方向nバイト、カラム方向8×mビットの構成になっているラスタデータは、ホストコンピュータから、11D1、11D2、…、11Dnのような図中左から右の順番で送られてくる。

【0068】格納アドレス制御部1016では、用紙サイズ等によってラスタ方向の記録バイト数が異なるため、ラスタサイズカウンタ601によって、このラスタ方向のバイト数を設定し、ホストコンピュータからのデータ受信時、ホストコンピュータからのストロブ信号をカウントし、ラスタ方向の受信データ数の管理を行う。また、ラスタサイズカウンタ601は、予め設定してあるラスタ方向記録バイト数と受信データ数が一致したときにラスタエンド信号を格納アドレス設定部60

3およびカラムカウンタ605に出力する。

【0069】オフセット設定部602では、予め記録ヘッドのノズル数を設定しておき、ノズル数により受信データの格納アドレスにオフセットを持たせる。具体的には、図8に記載したようにして、縦64ビット毎にオフセットをもたせ格納アドレスを設定する。まず#adrに11D1が格納されると、次に受信された11D2は#adr+64のアドレスに格納される。このようにノズル数に応じてオフセットを設け格納アドレスを設定する。

【0070】格納アドレス設定部603では、オフセット設定部602において設定されたオフセットに従い、プリントバッファの格納アドレスを設定する。具体的には、プリントバッファの先頭アドレスを予め設定しておき、ホストコンピュータからのストロブ信号により格納アドレスにオフセット値を加算し、次の受信データ格納アドレスとする。このようにして格納アドレスはオフセット値毎に更新される。

【0071】ここで、ラスタサイズカウンタ601から出力されるラスタエンド信号で、格納アドレスは再設定される。つまり1カラムの受信データを格納し終わると、2カラム目の受信データはプリントバッファ先頭アドレスにインクリメントされたアドレスに格納される。具体的には、図7のラスタイメージ情報の2カラム目のデータ12D1は、図8の#adr+1のアドレスに格納される。

【0072】DMA制御部604は、格納アドレス設定部603において決定されたプリントバッファの格納アドレスに、受信データをダイレクトに格納するべく、RAM 104のアドレス、データ制御信号を出力する。

【0073】カラムカウンタ605は、ラスタサイズカウンタ601からのラスタエンド信号によりカウンタアップされ、予め設定されているラスタ方向記録ドット数と一致したら、プリントバッファフル信号をCPU 102へ出力する。

【0074】以上のような処理を受信したデータを行うことにより、図8のように記録ドット数に応じたカラム方向のデータに並べかえられる。

【0075】しかしながら、図8のそれぞれのアドレスに格納されているバイトデータは、ラスタ方向のデータであるため、プリントバッファに格納されたデータを記録ヘッドに転送する際には、HV変換を行って転送する。

【0076】図9は、このHV変換部の構成を示している。

【0077】901は8×8ビットのマトリクスレジスタであり、ここで前述の図4のようなHV変換を行う。1バイトのラスタデータはそれぞれ横方向に格納され、8バイト分の格納が終了すると、各々の同じ列のビットが8バイト出力される。902は8×64ビットのマト

リクスレジスタであり、マトリックスレジスタ901から出力されたデータを順次格納してゆく。

【0078】具体的には、マトリックスレジスタ901の各行で右から8番目に位置する8つのビットデータを1バイトデータとしてマトリックスレジスタ902の先頭に格納し、次には7番目の8つのビット、6番目の8つのビット、…、1番目の8つのビット、というようにマトリックスレジスタ901から縦方向に取り出しマトリックスレジスタ902に格納する。

【0079】このようにマトリックスレジスタ902への8回の転送が完了すると、再びマトリックスレジスタ901へ次の8バイトを転送する。図8のように受信データは格納されているため、縦8ビット単位の転送で縦64ビットのHV変換が実行される。図9のマトリックスレジスタ902には、HV変換後の8ビット×64ビットのデータが格納される。

【0080】マトリックスレジスタ902に8ビット×64ビットのデータの格納が終了すると、記録ヘッドにデータを転送する。この際マトリックスレジスタ902の8×64ビットマトリックスの縦方向にビット単位で転送される。

【0081】以上説明したように本実施形態によれば、記録ヘッドに転送するためのイメージデータを格納するプリントバッファRAM104と、それ以外のデータを格納するRAM1017をそれぞれ別個とし、RAM104へのアクセスはDMA転送のみとすることにより、CPUがRAM1017をアクセスしている間およびCPUがROM103から命令コードをアクセスしている間においても、イメージデータの書き込みおよび読み出しを行うことができる。これにより、システム全体のパフォーマンスの向上が実現出来る。

【0082】またラスタイメージデータをホストコンピュータから受信してプリントバッファであるRAM104に格納する時、記録ヘッドの構成に合わせて受信データを並べ替えて格納し、プリントバッファから記録ヘッドに転送する際にHV変換を行うように構成したため、ソフトウェアの処理が簡略化されスループットの向上が実現出来る。

【0083】なお、以上の実施形態において、記録ヘッドから吐出される液滴はインクであるとして説明し、さらにインクタンクに収容される液体はインクであるとして説明したが、その収容物はインクに限定されるものではない。例えば、記録画像の定着性や耐水性を高めたり、その画像品質を高めたりするために記録媒体に対して吐出される処理液のようなものがインクタンクに収容されていても良い。

【0084】以上の実施形態は、特にインクジェット記録方式の中でも、インク吐出を行わせるために利用されるエネルギーとして熱エネルギーを発生する手段（例えば電気熱変換体やレーザ光等）を備え、前記熱エネルギー

ーによりインクの状態変化を生起させる方式を用いることにより記録の高密度化、高精細化が達成できる。

【0085】その代表的な構成や原理については、例えば、米国特許第4723129号明細書、同第4740796号明細書に開示されている基本的な原理を用いて行うものが好ましい。この方式はいわゆるオンデマンド型、コンティニユアス型のいずれにも適用可能であるが、特に、オンデマンド型の場合には、液体（インク）が保持されているシートや液路に対応して配置されている電気熱変換体に、記録情報に対応して核沸騰を越える急激な温度上昇を与える少なくとも1つの駆動信号を印加することによって、電気熱変換体に熱エネルギーを発生せしめ、記録ヘッドの熱作用面に膜沸騰を生じさせて、結果的にこの駆動信号に1対1で対応した液体（インク）内の気泡を形成できるので有効である。

【0086】この気泡の成長、収縮により吐出用開口を介して液体（インク）を吐出させて、少なくとも1つの滴を形成する。この駆動信号をパルス形状とすると、即時適切に気泡の成長収縮が行われるので、特に応答性に優れた液体（インク）の吐出が達成でき、より好ましい。

【0087】このパルス形状の駆動信号としては、米国特許第4463359号明細書、同第4345262号明細書に記載されているようなものが適している。なお、上記熱作用面の温度上昇率に関する発明の米国特許第4313124号明細書に記載されている条件を採用すると、さらに優れた記録を行うことができる。

【0088】記録ヘッドの構成としては、上述の各明細書に開示されているような吐出口、液路、電気熱変換体の組み合わせ構成（直線状液流路または直角液流路）の他に熱作用面が屈曲する領域に配置されている構成を開示する米国特許第4558333号明細書、米国特許第4459600号明細書を用いた構成も本発明に含まれるものである。加えて、複数の電気熱変換体に対して、共通するスロットを電気熱変換体の吐出部とする構成を開示する特開昭59-123670号公報や熱エネルギーの圧力波を吸収する開口を吐出部に対応させる構成を開示する特開昭59-138461号公報に基づいた構成としても良い。

【0089】さらに、記録装置が記録できる最大記録媒体の幅に対応した長さを有するフルラインタイプの記録ヘッドとしては、上述した明細書に開示されているような複数記録ヘッドの組み合わせによってその長さを満たす構成や、一体的に形成された1個の記録ヘッドとしての構成のいずれでもよい。

【0090】加えて、上記の実施形態で説明した記録ヘッド自体に一体的にインクタンクが設けられたカートリッジタイプの記録ヘッドのみならず、装置本体に装着されることで、装置本体との電気的な接続や装置本体からのインクの供給が可能になる交換自在のチップタイプの

記録ヘッドを用いてもよい。

【0091】また、以上説明した記録装置の構成に、記録ヘッドに対する回復手段、予備的な手段等を付加することは記録動作を一層安定にできるので好ましいものである。これらを具体的に挙げれば、記録ヘッドに対してのキャッピング手段、クリーニング手段、加圧あるいは吸引手段、電気熱変換体あるいはこれとは別の加熱素子あるいはこれらの組み合わせによる予備加熱手段などがある。また、記録とは別の吐出を行う予備吐出モードを備えることも安定した記録を行うために有効である。

【0092】さらに、記録装置の記録モードとしては黒色等の主流色のみの記録モードだけではなく、記録ヘッドを一体的に構成するか複数個の組み合わせによってでも良いが、異なる色の複色カラー、または混色によるフルカラーの少なくとも1つを備えた装置とすることもできる。

【0093】以上説明した実施の形態においては、インクが液体であることを前提として説明しているが、室温やそれ以下で固化するインクであっても、室温で軟化もしくは液化するものを用いても良く、あるいはインクジェット方式ではインク自体を30°C以上70°C以下の範囲内で温度調整を行ってインクの粘性を安定吐出範囲にあるように温度制御するものが一般的であるから、使用記録信号付与時にインクが液状をなすものであればよい。

【0094】加えて、積極的に熱エネルギーによる昇温をインクの固形状態から液体状態への状態変化のエネルギーとして使用せしめることで積極的に防止するため、またはインクの蒸発を防止するため、放置状態で固化し加熱によって液化するインクを用いても良い。いずれにしても熱エネルギーの記録信号に応じた付与によってインクが液化し、液状インクが吐出されるものや、記録媒体に到達する時点では既に固化し始めるもの等のような、熱エネルギーの付与によって初めて液化する性質のインクを使用する場合も本発明は適用可能である。

【0095】このような場合インクは、特開昭54-56847号公報あるいは特開昭60-71260号公報に記載されるような、多孔質シート凹部または貫通孔に液状または固形物として保持された状態で、電気熱変換体に対して対向するような形態としてもよい。本発明においては、上述した各インクに対して最も有効なものは、上述した膜沸騰方式を実行するものである。

【0096】なお、本発明は、複数の機器（例えばホストコンピュータ、インタフェイス機器、リーダ、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。

【0097】また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体（または記録媒体）を、システムあるいは

は装置に供給し、そのシステムあるいは装置のコンピュータ（またはCPUやMPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。

【0098】この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているオペレーティングシステム(OS)などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0099】さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0100】本発明を上記記憶媒体に適用する場合、その記憶媒体には、先に説明した（図12に示す）タイミングチャートに対応するプログラムコードが格納されることになる。

【0101】

【発明の効果】以上説明したように本発明の記録装置によれば、CPUによるアクセスとは無関係にイメージデータの格納および読み出しができ、全体の処理時間が短縮できるので、記録装置全体の処理性能を向上させることができるという効果がある。

【図面の簡単な説明】

【図1】従来の記録装置の制御構成例を示すブロック図である。

【図2】ラストイメージデータの例を示す図である。

【図3】従来のラストイメージデータを格納するバッファの例を示す図である。

【図4】HV変換の前後のデータを示す図である。

【図5】本発明の実施形態における受信データの格納方法を説明する図である。

【図6】本発明の実施形態の格納アドレス制御部を示すブロック図である。

【図7】ラストイメージ情報を示す図である。

【図8】本発明の実施形態における図7のデータの格納例を示す図である。

【図9】本発明の実施形態におけるHV変換部を示すブロック図である。

【図10】本発明の実施形態の制御構成を示すブロック

図である。

【図11】図10のASIC部の詳細を示すブロック図である。

【図12】本発明の実施形態におけるDMAのタイミングチャートである。

【図13】本発明の実施形態の構成を示す外観斜視図である。

【図14】図13の記録カートリッジを示す部分拡大図である。

【符号の説明】

101 ASIC

102 CPU

103 ROM

104 RAM

106 記録ヘッド

107 ヘッド駆動部

108 LF駆動部

109 CR駆動部

1011 インタフェース制御部

1012 アドレスデコード部

1013 DMA制御部

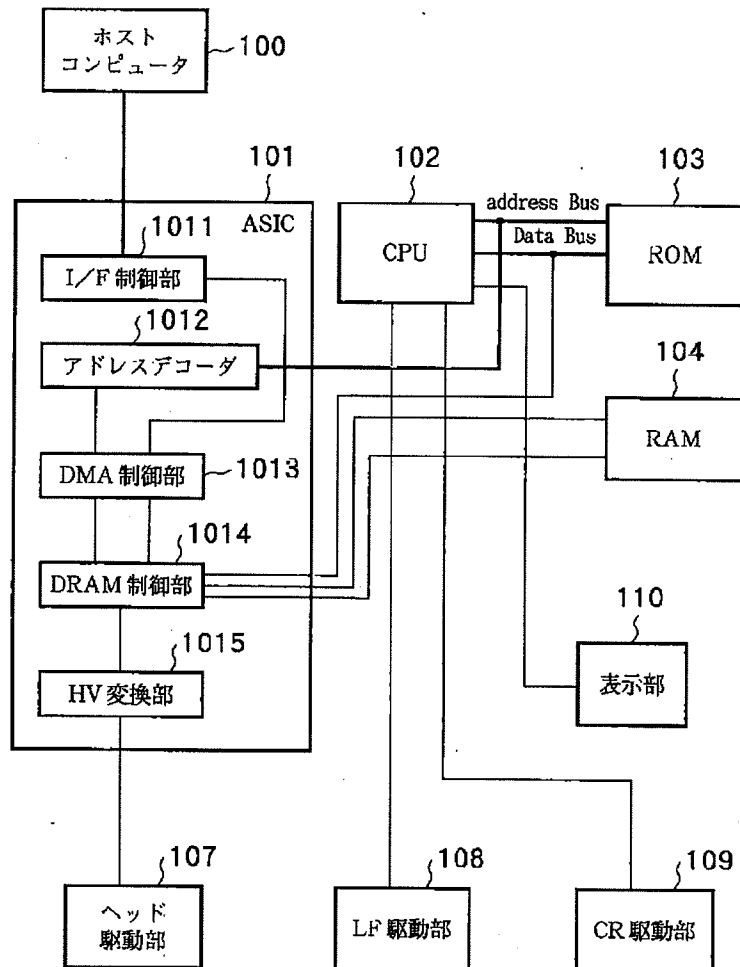
1014 RAM制御部

1015 HV変換部

1016 格納アドレス制御部

1017 ASIC内蔵RAM

【図1】



【図2】

a1	a2	a3	a4	a5	a6	a7	a8	...	an
b1	b2	b3	b4	b5	b6	b7	b8	...	bn
c1	c2	c3	c4	c5	c6	c7	c8	...	cn
d1	d2	d3	d4	d5	d6	d7	d8	...	dn
e1	e2	e3	e4	e5	e6	e7	e8	...	en
f1	f2	f3	f4	f5	f6	f7	f8	...	fn
g1	g2	g3	g4	g5	g6	g7	g8	...	gn
h1	h2	h3	h4	h5	h6	h7	h8	...	hn

【図4】

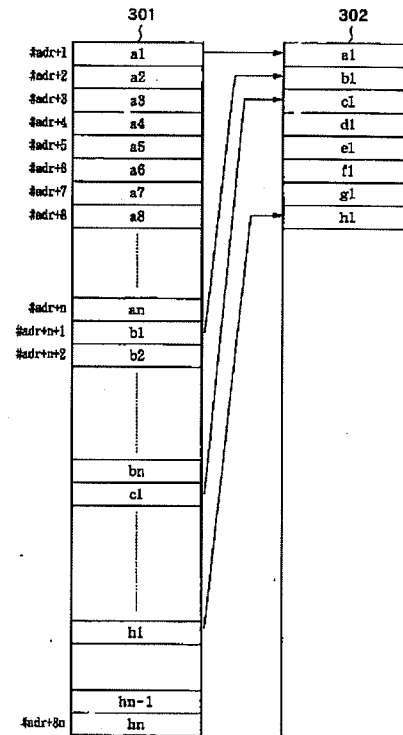
#adr+1	a18	a17	a16	a15	a14	a13	a12	a11
#adr+2	b18	b17	b16	b15	b14	b13	b12	b11
#adr+3	c18	c17	c16	c15	c14	c13	c12	c11
#adr+4	d18	d17	d16	d15	d14	d13	d12	d11
#adr+5	e18	e17	e16	e15	e14	e13	e12	e11
#adr+6	f18	f17	f16	f15	f14	f13	f12	f11
#adr+7	g18	g17	g16	g15	g14	g13	g12	g11
#adr+8	h18	h17	h16	h15	h14	h13	h12	h11

(a)

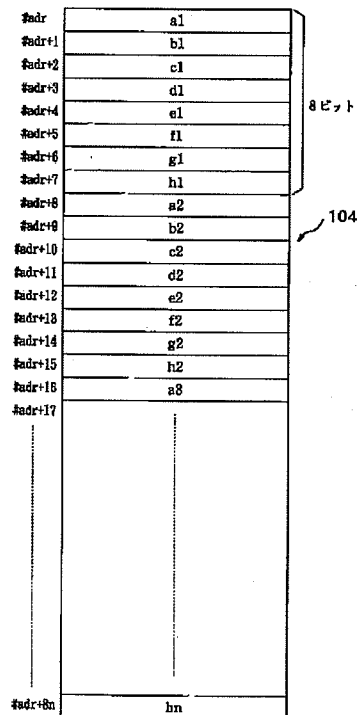
#adr+1	a18	b18	c18	d18	e18	f18	g18	h18
#adr+2	a17	b17	c17	d17	e17	f17	g17	h17
#adr+3	a16	b16	c16	d16	e16	f16	g16	h16
#adr+4	a15	b15	c15	d15	e15	f15	g15	h15
#adr+5	a14	b14	c14	d14	e14	f14	g14	h14
#adr+6	a13	b13	c13	d13	e13	f13	g13	h13
#adr+7	a12	b12	c12	d12	e12	f12	g12	h12
#adr+8	a11	b11	c11	d11	e11	f11	g11	h11

(b)

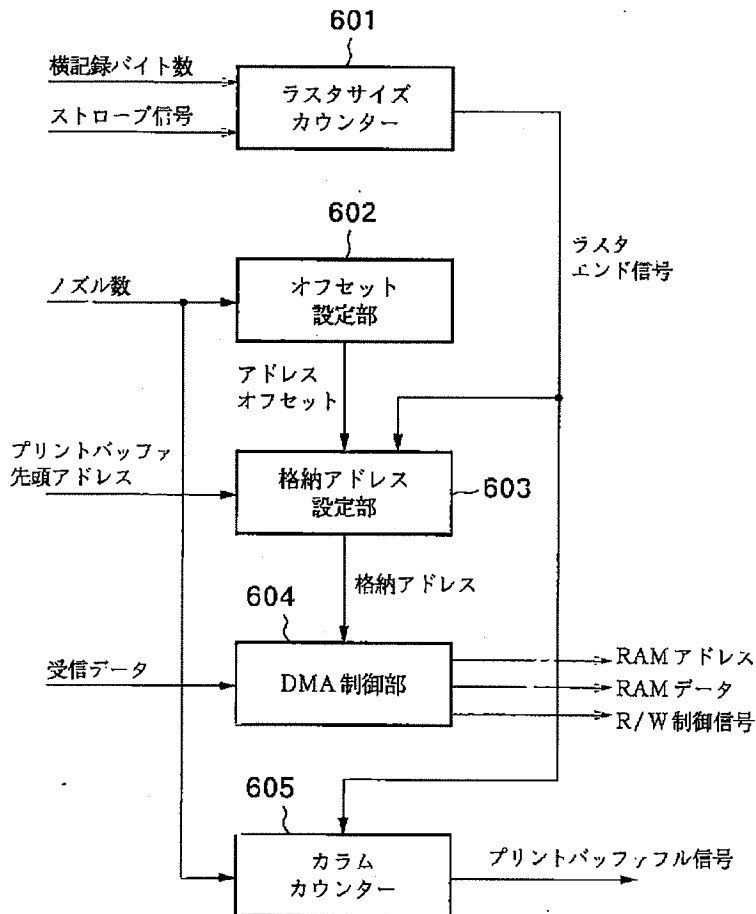
【図3】



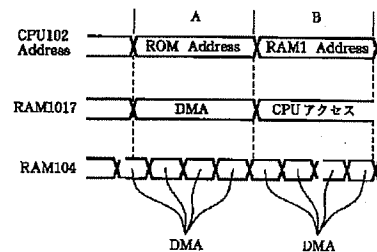
【図5】



【図6】



【図12】



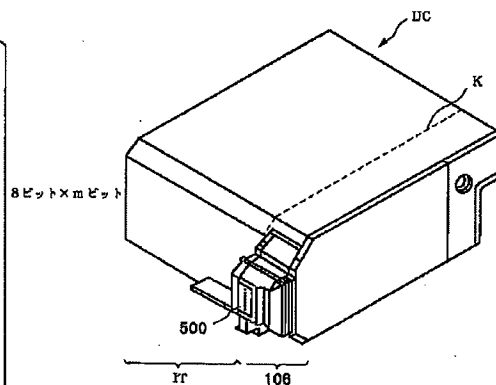
【図7】

nバイト

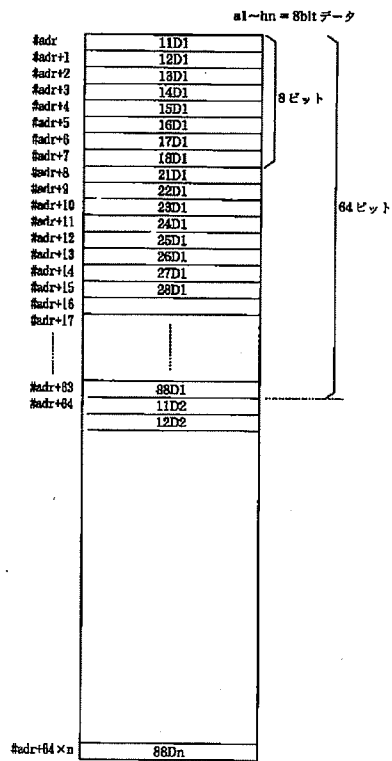
11D1	11D2	11D3	11D4	11D5	11D6	11D7	11D8	11Dn
12D1	12D2	12D3	12D4	12D5	12D6	12D7	12D8	12Dn
13D1	13D2	13D3	13D4	13D5	13D6	13D7	13D8	13Dn
14D1	14D2	14D3	14D4	14D5	14D6	14D7	14D8	14Dn
15D1	15D2	15D3	15D4	15D5	15D6	15D7	15D8	15Dn
16D1	16D2	16D3	16D4	16D5	16D6	16D7	16D8	16Dn
17D1	17D2	17D3	17D4	17D5	17D6	17D7	17D8	17Dn
18D1	18D2	18D3	18D4	18D5	18D6	18D7	18D8	18Dn
21D1	21D2	21D3	21D4	21D5	21D6	21D7	21D8	21Dn
22D1	22D2	22D3	22D4	22D5	22D6	22D7	22D8	22Dn
23D1	23D2	23D3	23D4	23D5	23D6	23D7	23D8	23Dn
24D1	24D2	24D3	24D4	24D5	24D6	24D7	24D8	24Dn
25D1	25D2	25D3	25D4	25D5	25D6	25D7	25D8	25Dn
26D1	26D2	26D3	26D4	26D5	26D6	26D7	26D8	26Dn
27D1	27D2	27D3	27D4	27D5	27D6	27D7	27D8	27Dn
28D1	28D2	28D3	28D4	28D5	28D6	28D7	28D8	28Dn
m8D1	m8D2	m8D3	m8D4	m8D5	m8D6	m8D7	m8D8	m8Dn

11D1~m8Dn = 8bitデータ

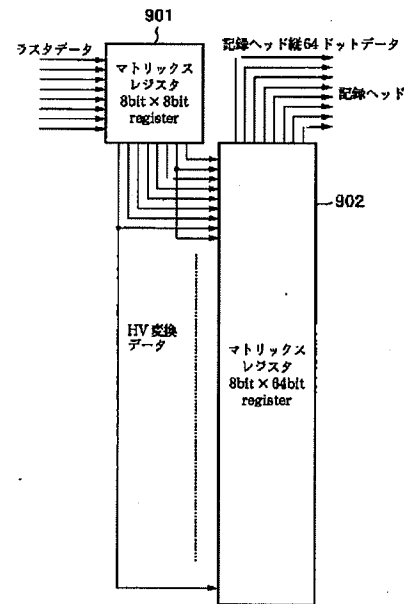
【図14】



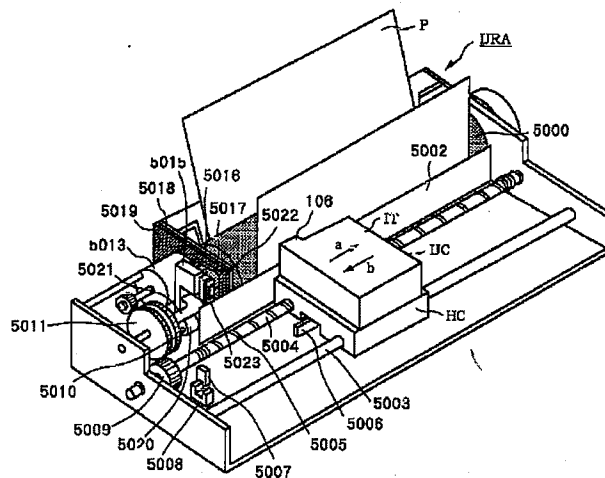
【図8】



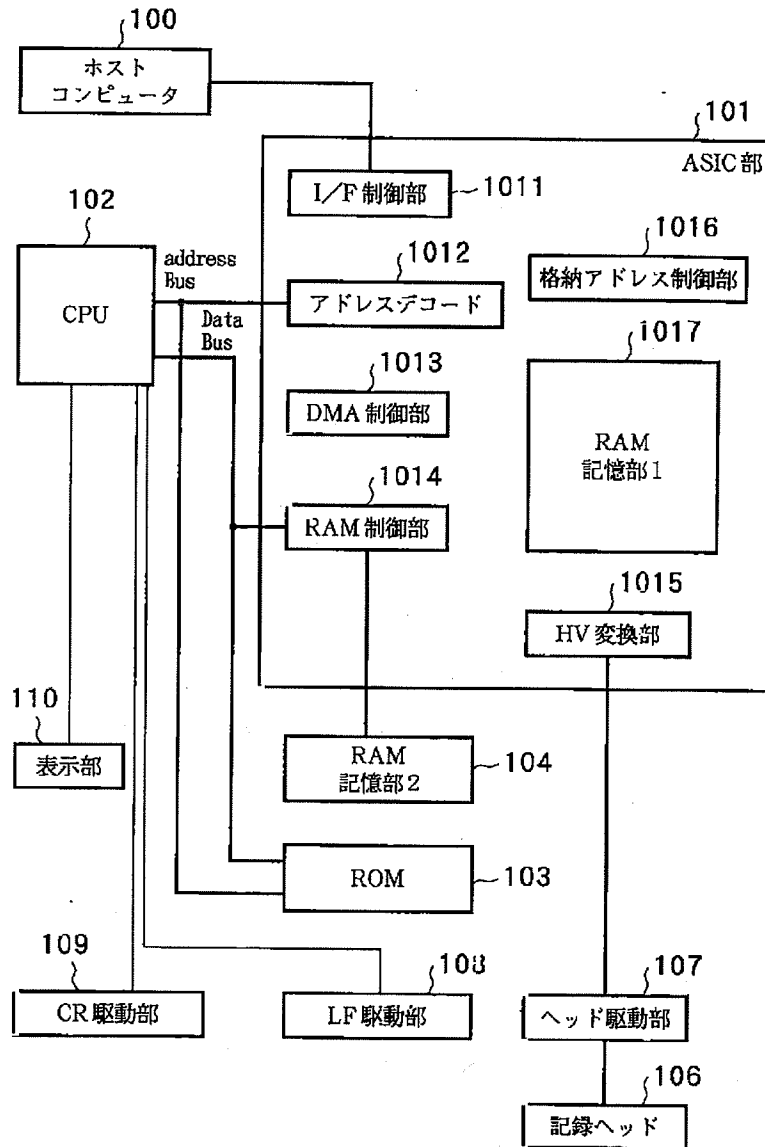
【図9】



【図13】



【図10】



【図11】

